



①9 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

⑩ **Offenlegungsschrift**
DE 43 07 725 A 1

⑤1 Int. Cl.⁵:
H 01 L 27/108
H 01 L 21/72

②1 Aktenzeichen: P 43 07 725.0
②2 Anmeldetag: 11. 3. 93
④3 Offenlegungstag: 16. 9. 93

±US J/62 248 (10.11.92)

DE 43 07 725 A 1

③0 Unionspriorität: ③2 ③3 ③1
13.03.92 US 850746

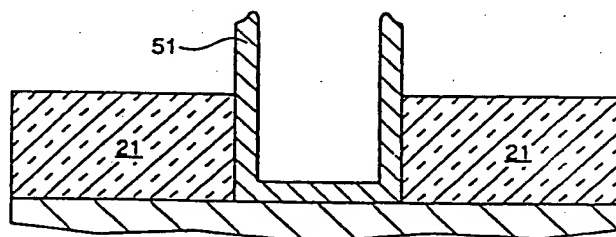
⑦1 Anmelder:
Micron Technology, Inc., Boise, Id., US

⑦4 Vertreter:
Klunker, H., Dipl.-Ing. Dr.rer.nat.; Schmitt-Nilson, G.,
Dipl.-Ing. Dr.-Ing.; Hirsch, P., Dipl.-Ing.,
Pat.-Anwälte, 80797 München

⑦2 Erfinder:
Dennison, Charles H., Boise, Id., US; Walker,
Michael A., Boise, Id., US

⑤4 Verfahren zur Herstellung einer Stapelkondensator-DRAM-Zelle

⑤7 Offenbart ist die Herstellung eines dreidimensionalen, behälterartigen Stapelkondensators durch Modifizierung eines bestehenden Stapelkondensator-Herstellungsverfahrens. Die vorliegende Erfindung entwickelt den behälterartigen Kondensator durch Ätzen einer Öffnung in ein Oxid (21) mit niedriger Ätzrate. Die Kontaktöffnung dient als Formeinrichtung (22) für aufgebracht Polysilizium (23), das den Seiten der Öffnungswände konform aufgebracht wird. Innerhalb der dünnen Polysiliziumauskleidung des Oxid-Behälters wird ein eine hohe Ätzrate aufweisendes Oxid (31), wie z. B. Ozon-TEOS (Tetraethylorthosilikat) über der gesamten Struktur aufgebracht, um dadurch eine Überbrückung über der Oberseite des Oxid-Behälters zu schaffen. Das eine hohe Ätzrate aufweisende Oxid (31) wird bis auf das dünne Polysilizium (23) zurück planar ausgebildet, und das resultierende freiliegende Polysilizium (23) wird dann entfernt, um einander benachbarte Behälter voneinander zu trennen. Die beiden unterschiedlichen Ätzraten aufweisenden Oxide (21, 31) werden dann geätzt, wodurch eine als Speicherknoten-elektrode verwendete, freistehende behälterartige Polysiliziumstruktur (51) übrigbleibt, wobei das gesamte, eine höhere Ätzrate aufweisende Oxid (31) entfernt wird und eine die Behälterstruktur (51) umgebende, vorbestimmte Menge Oxid (21) intakt bleibt.



DE 43 07 725 A 1

Die vorliegende Erfindung bezieht sich auf Halbleiterschaltungs-Speichervorrichtungen und betrifft ein Verfahren zur Herstellung von in hochdichten DRAM-Anordnungen (Dynamic Random Access Memory-Anordnungen) verwendeten dreidimensionalen Stapelkondensatorstrukturen.

Bei dynamischen Halbleiter-Speichervorrichtungen ist es wesentlich, daß die Zellenplatten der Speicherknotenkondensatoren trotz parasitärer Kapazitäten und trotz Rauschens, die während des Betriebs der Schaltung auftreten können, groß genug sind, um eine angemessene Ladung oder Kapazität beizubehalten. Wie es bei den meisten integrierten Halbleiterschaltungen der Fall ist, nimmt die Schaltungsdichte mit einer ziemlich konstanten Rate weiter zu. Der Gesichtspunkt der Aufrechterhaltung der Speicherknotenkapazität ist von besonderer Bedeutung, da die Dichte von DRAM-Anordnungen für zukünftige Generationen von Speichervorrichtungen weiter zunimmt.

Die Fähigkeit, Speicherzellen dicht zu packen und dabei die erforderlichen Kapazitätsniveaus aufrechtzuerhalten, ist eine Hauptanforderung an Halbleiterherstellungstechnologien, wenn zukünftige Generationen erweiterter Speichervorrichtungen erfolgreich hergestellt werden sollen.

Ein Verfahren zum Aufrechterhalten sowie zum Erhöhen der Speicherknotengröße in dichtgepackten Speichervorrichtungen besteht in der Verwendung des "Stapelspeicherzellen"-Aufbaus. Bei dieser Technologie werden zwei oder mehr Schichten eines leitfähigen Materials, wie z. B. polykristallines Silizium (im folgenden kurz Polysilizium genannt), über eine Zugriffsvorrichtung auf einem Siliziumwafer aufgebracht, wobei die elektrischen Schichten sandwichartig zwischen den Polysiliziumschichten angeordnet werden. Eine auf diese Art und Weise ausgebildete Zelle ist unter der Bezeichnung Stapelkondensatorzelle (STC) bekannt. Eine derartige Zelle nutzt den Raum über der Zugriffsvorrichtung für Kondensatorplatten, weist eine geringe Soft Error Rate (SER) auf und kann in Verbindung mit zwischen den Platten vorgesehenen isolierenden Schichten hoher Dielektrizitätskonstante eingesetzt werden.

Es ist jedoch schwierig, mit einem herkömmlichen STC-Kondensator eine ausreichende Speicherkapazität zu erhalten, da der Speicherelektrodenbereich auf die Grenzen seines eigenen Zellenbereichs eingeschränkt ist. Auch wird das Aufrechterhalten einer hohen dielektrischen Durchschlagfestigkeit zwischen Polysiliziumschichten bei dem STC-Kondensator zu einem großen Problem, sobald die Dicke des Isolators angemessen dimensioniert ist.

Ein von N. Shinmura et al. vorgelegter Artikel mit dem Titel "A Stacked Capacitor Cell with Ring Structure", Extended Abstracts of the 22nd International Conference on Solid State Devices and Materials, 1990, Seiten 833 bis 836, befaßt sich mit einem dreidimensionalen Stapelkondensator, der eine Ringstruktur um die Hauptelektrode herum aufweist, um die Kapazität eines herkömmlichen Stapelkondensators in wirksamer Weise zu verdoppeln.

Die Ringstruktur und ihre Entwicklung sind in den Fig. 1(c) bis 1(g) auf Seite 834 des genannten Artikels dargestellt. Die auf derselben Seite befindliche Fig. 1(a) zeigt eine aus der Vogelperspektive gesehene Ansicht von Speicherelektroden. Der Speicherknoten ist durch zwei Polysiliziumschichten gebildet, die eine von einer

Ringstruktur umgebene Kernelektrode bilden. Eine Kondensator-Dielektrikumschicht umgibt die gesamte Oberfläche der Speicherknotenelektrode und ist außerdem mit einer dritten Polysiliziumschicht überdeckt, die die obere Kondensatorelektrode bildet und durch die die Speicherzelle abgeschlossen wird. Diese Ausbildung läßt sich unter Verwendung derzeitiger Verfahren herstellen und führt zu einer Erhöhung der Speicherkapazität um bis zu 200%.

Außerdem befaßt sich ein von T. Kaga et al. vorgelegter Artikel mit dem Titel "Crown-Shaped Stacked-Capacitor Cell for 1.5-V Operation 64-Mb DRAM's" in IEEE Transactions on Electron Devices, Band 38, Nr. 2, Februar 1991, Seiten 255 bis 261, mit einer selbstausgerichteten Stapelkondensatorzelle für 64-Mb-DRAM's, wobei diese Zelle als "Kronen"-Zelle bezeichnet wird. Die Kronenzelle und ihre Entwicklung sind in den Fig. 7(d) bis 7(f) auf Seite 258 dieses Artikels gezeigt. Die kronenförmige Speicherelektrode ist über Wort- und Bitleitungen ausgebildet und durch eine Oxid-/Nitrid-Isolierschicht getrennt, wobei die obere Isolierschicht zur Bildung der Kronenform entfernt wird. Eine Kondensator-Dielektrikumschicht umgibt die gesamte Oberfläche der Speicherknotenelektrode, und die obere Kondensatorelektrode wird zur Vervollständigung der Speicherzelle gebildet.

Die vorliegende Erfindung entwickelt einen bestehenden Herstellungsprozeß für Stapelkondensatoren weiter, um eine dreidimensionale behälterartige Stapelkondensatorzelle auszubilden sowie zu optimieren. Die Kondensatorbodenplatte (oder Speicherknotenplatte) ist über einem vergrabenen Kontakt (oder Knotenkontakt) zentriert, der mit einem aktiven Zugriffstransistor-Diffusionsbereich verbunden ist. Das erfindungsgemäß vorgeschlagene Verfahren schafft eine gleichmäßige und reproduzierbare Herstellbarkeit der dreidimensionalen behälterartigen Zelle.

Die Erfindung ist darauf gerichtet, die Speicherzellen-Oberflächenausdehnung in einem Herstellungsverfahren für hochdichte/großvolumige DRAM's zu maximieren. Ein bestehendes Kondensatorherstellungsverfahren wird modifiziert, um einen dreidimensionalen behälterartigen Stapelkondensator bzw. einen dreidimensionalen Stapelkondensator mit behälterartiger Struktur zu bilden. Die erfindungsgemäße Kondensatorausbildung schafft eine Stapelkondensator-Speicherzelle, die bei einem DRAM-Prozeß verwendet wird, wobei es sich für den Fachmann jedoch versteht, daß diese Schritte auch in anderen flüchtige Speicherzellen benötigten Prozessen, wie z. B. bei VRAMs oder dergleichen, integriert werden können.

Nach Vorbereitung eines Siliziumwafers unter Verwendung herkömmlicher Verfahrensschritte entwickelt die vorliegende Erfindung einen behälterartigen Kondensator durch Ätzen einer Kontaktöffnung in ein Oxid mit einer niedrigen Ätzrate. Die Kontaktöffnung wird als Formgebungseinrichtung für aufgebracht Polysilizium verwendet, das den Seiten der Öffnungswände konform aufgebracht wird. Innerhalb der dünnen Polysilizium-Auskleidung des Oxid-Behälters wird ein eine hohe Ätzrate aufweisendes Oxid, wie Ozon-TEOS (Tetraethylorthosilikat), über der gesamten Struktur aufgebracht, um dadurch eine Überbrückung über der Oberseite des Oxid-Behälters zu schaffen. Das eine hohe Ätzrate aufweisende Oxid wird unter Verwendung eines chemisch-mechanischen Polierverfahrens bzw. Planarisierungsverfahrens bis auf das dünne Polysilizium zurück planar ausgebildet. Dieser chemisch-mechanische Po-

lierschritt erfolgt mit derartiger Selektivität, daß das Oxid mit einer ausreichenden Überätzung entfernt wird und der Ätzvorgang auf dem dünnen Polysilizium stoppt. Das resultierende freiliegende Polysilizium wird dann entfernt, um einander benachbarte Behälter entweder durch einen isotropen Polysilizium-Naßätzvorgang oder durch einen zusätzlichen chemisch-mechanischen Poliervorgang zu trennen, wobei der chemische Aspekt dahingehend modifiziert ist, daß nun das Polysilizium und nicht das Oxid geätzt und selektiv entfernt wird. Die beiden unterschiedliche Ätzraten aufweisenden Oxide werden dann in einem einzigen Naßätzschritt mittels Pufferoxidätzung mit verdünntem Ätzmittel geätzt, wodurch eine freistehende behälterartige Polysiliziumzelle verbleibt, aus deren Innerem das gesamte Oxid (mit hoher Ätzrate) entfernt ist und deren Höhe der Tiefe der ursprünglichen Kontaktöffnung entspricht. Außerdem wird eine vorbestimmte Menge des eine niedrige Ätzrate aufweisenden Oxids entfernt, wodurch das "Behälter"-Polysilizium umgebendes Oxid übrigbleibt, das sowohl zur Erzielung einer strukturellen Halterung als auch zur Prozeßintegration für weitere Verfahrensschritte dient, bei denen Oxid über den Wortleitungen vorhanden sein muß.

Die vorliegende Erfindung verwendet ein eine höhere Ätzrate aufweisendes Oxid im Inneren des Behälters zum Blockieren des Ätzens des Behälter-Polysiliziums. Dieses Oxid mit hoher Ätzrate wird während des Oxid-Rückätzvorgangs vollständig entfernt. Dadurch wird der Behälter während der Herstellung ohne Hinzufügung von Fotoresist sowie Einbringung zusätzlicher Verfahrensschritte oder ungewisser Verunreinigungen geschützt. Es wird ein Standard-Oxid-Ätzvorgang mit chemisch-mechanischem Polierverfahren verwendet, der eine gleichmäßige und reproduzierbare Herstellung über die Waferfläche ermöglicht, die sich bei Verfahren mit in den Behälter gefülltem Resist nicht erzielen läßt.

Ein weiterer Vorteil des Füllens des Behälters mit Oxid mit hoher Ätzrate besteht darin, daß sich das Polysilizium in einem kostengünstigen, zeitlich gesteuerten Polysilizium-Naßätzvorgang ätzen läßt, während zum Teil gefüllte Behälter (wie sie in Fig. 9 gezeigt sind) aufgrund der dabei auftretenden Verminderung der Höhe des Resist 92 (zur Ermöglichung eines ausreichenden Prozeßspielraums) keinen Polysilizium-Naßätzvorgang ohne Verlust bei der Zellenhöhe 93 und ohne Verlust hinsichtlich der gleichmäßigen und reproduzierbaren Durchführbarkeit des Verfahrens über die Oberfläche des Wafers gestatten. Da bei der vorliegenden Erfindung der Polysilizium-Ätzvorgang isotrop ausgeführt werden kann, lassen sich die durch einen Polysilizium-Trockenätzvorgang verursachten Vertiefungseffekte (Überätzung des Speicherpolysilizium-Behälters 93 in Fig. 9) und Splittereffekte vermeiden.

Wie in Fig. 10 zu sehen ist, resultieren Splittereffekte 101 des Speicherknotenpolysiliziums 93 aus einem anisotropen Trocken-Ätzvorgang (aufgrund eines nicht-gleichmäßigen Ätzens des polykristallinen Siliziums 93), da die Plasmaätzung entlang stark dotierter Korngrenzen schneller reagiert. Bei der nachfolgenden Bearbeitung besteht dann eine Tendenz zum Abbrechen der Span- bzw. Splitterbereiche 101, wodurch verunreinigende Teilchen entstehen. Die Grabenbildung des Polysiliziums führt dazu, daß die Seitenwände des Polysilizium-Behälters freigelegt werden, wodurch es unmöglich wird, einen Naßätzvorgang des Oxids um die Zelle herum ohne Verlagerung des eingegrabenen horizontalen Polysiliziumbereichs bei dem Ätzvorgang in das diesen

Bereich umgebende Oxid 91 durchzuführen, wodurch ein dünner Oxidring um die behälterartige Zelle herum verbleibt.

Außerdem schafft die vorliegende Erfindung einen Schutz für die vertikale Seitenwandung der Oxidform durch Bedecken derselben mit Polysilizium, wodurch die Ausführung eines horizontalen, nassen Oxid-Rückätzvorgangs möglich wird. Außerdem werden alle Schichten, die einer Ätzbearbeitung unterzogen werden, wobei es sich entweder um ein chemisch-mechanisches Polierverfahren oder ein anderes Verfahren handeln kann, anschließend entfernt und wirken damit als Opferschichten, so daß Teilchen, die während des mit chemischmechanischem Polieren arbeitenden Ätzvorgangs entstehen, nicht das Innere des Polysiliziumbehälters verunreinigen.

Fig. 1 dagegen zeigt eine Graustufendarstellung eines mit einem elektronischen Abtastmikroskops aufgenommenen Fotos einer Anordnung von Polysiliziumbehältern 12, wobei dieses Foto die Gleichmäßigkeit und die Reproduzierbarkeit der Polysiliziumbehälter 12 über die Substratoberfläche 11 darstellt, wie sie sich bei Verwendung der nachfolgend noch ausführlicher erläuterten Verfahrensschritte der vorliegenden Erfindung ergeben.

Bevorzugte Weiterbildungen ergeben sich aus den Unteransprüchen.

Die Erfindung und Weiterbildungen der Erfindung werden im folgenden anhand der zeichnerischen Darstellungen eines Ausführungsbeispiels noch näher erläutert. In den Zeichnungen zeigen:

Fig. 1 eine Graustufendarstellung einer Fotografie eines elektronischen Abtastmikroskops unter Darstellung einer Schnittansicht eines Feldes von behälterartigen Polysiliziumringen;

Fig. 2 eine zusammengesetzte Querschnittsansicht eines im Herstellungsprozeß befindlichen Waferbereichs unter Darstellung der ersten Schritte der vorliegenden Erfindung, in denen eine planare Schicht aus Oxid mit niedriger Ätzrate gebildet wird, ein vergrabener Kontakt geätzt wird und eine dünne Schicht aus konformem Polysilizium aufgebracht wird;

Fig. 3 eine Querschnittsansicht des im Herstellungsprozeß befindlichen Waferbereichs der Fig. 2 nach der Bildung einer Schicht aus Oxid mit hoher Ätzrate;

Fig. 4 eine Querschnittsansicht des im Herstellungsprozeß befindlichen Waferbereichs der Fig. 3 nach der Planarisierung des Oxids mit hoher Ätzrate;

Fig. 5 eine Querschnittsansicht des im Herstellungsprozeß befindlichen Waferbereichs der Fig. 4 nach einem nassen Rückätzvorgang der freiliegenden dünnen Polysiliziumschicht;

Fig. 6 eine Querschnittsansicht des im Herstellungsprozeß befindlichen Waferbereichs der Fig. 5 nach dem Ätzen von Oxid mit niedriger Ätzrate sowie Oxid mit hoher Ätzrate;

Fig. 7 eine Querschnittsansicht des im Herstellungsprozeß befindlichen Waferbereichs der Fig. 6 nach der vollflächigen Ausbildung von konformem Zellendielektrikum und Polysilizium;

Fig. 8 eine Querschnittsansicht einer durch das erfindungsgemäße Verfahren gebildeten Speicherzelle bei Integration derselben in einen Stapelkondensator-Herstellungsvorgang;

Fig. 9 eine zusammengesetzte Querschnittsansicht eines im Herstellungsprozeß befindlichen Waferbereichs unter Darstellung einer vor der Mustergebung mit Fotoresist gefüllten behälterartigen Zelle; und

Fig. 10 eine zusammengesetzte Querschnittsansicht des im Herstellungsprozeß befindlichen Waferbereichs der Fig. 9 unter Darstellung der Splitterung von Speicherknotenpolysilizium sowie der Bildung eines dünnen Rings aus Oxid, der das Speicherknotenpolysilizium nach einem anisotropen Ätzvorgang zur Mustergebung der behälterartigen Zelle umgibt.

Die Erfindung ist darauf gerichtet, den Speicherzellen-Oberflächenbereich in einem Herstellungsprozeß zur Herstellung von hochdichten/großvolumigen DRAMs zu maximieren sowie gleichmäßige und reproduzierbare, fehlerfreie Speicherzellenstrukturen über ein gegebenes Substrat zu schaffen, und zwar in einer Abfolge, wie sie in den Fig. 2 bis 7 dargestellt ist.

Ein Siliziumwafer wird unter Verwendung herkömmlicher Herstellungsschritte bis zu dem Punkt der Bearbeitung einer Anordnung von Speicherzellenkondensatoren vorbereitet. Daran schließt sich die Herstellung der Kondensatorzellen gemäß der vorliegenden Erfindung wie folgt an:

Der Speichercondensator jeder Speicherzelle stellt Kontakt direkt mit einem darunterliegenden Diffusionsbereich her. Jeder darunterliegende Diffusionsbereich besitzt zwei Speicherknotenanschlüsse, die von einem einzelnen Ziffernleitungskontakt durch Zugriffstransistoren getrennt sind, die durch den aktiven Bereich kreuzende Polysilizium-Wortleitungen gebildet sind. Normalerweise sind die Diffusionsbereiche innerhalb der Anordnung durch ein dickes Feldoxid voneinander getrennt. Die Diffusionsbereiche können in ineinandergreifenden Spalten und nicht-ineinandergreifenden Reihen, oder anders ausgedrückt parallel sowie in Ausrichtung miteinander sowohl in horizontaler als auch in vertikaler Richtung, angeordnet sein. Wie vorstehend erwähnt wurde, werden die Diffusionsbereiche zur Bildung aktiver MOS-Transistoren verwendet, die als Zugriffstransistoren zu jedem einzelnen Kondensator dienen und abhängig von ihrer beabsichtigten Verwendung als NMOS- oder PNOS-Typ-FETs dotiert werden können.

Wie in Fig. 2 gezeigt ist, wird eine dicke Schicht aus Oxid 21 mit niedriger Ätzrate über einer bestehenden Topografie eines gegebenen Substrats gebildet. Das Oxid 21 wird dann vorzugsweise durch chemisch-mechanische Planarisierungstechniken bis zu einer bestimmten Dicke hinab planar ausgebildet. Die Dicke des planar ausgebildeten Oxids 21 hängt von der Höhe ab, die für die noch zu bildende behälterartige Polysiliziumstruktur erwünscht ist. Die Höhe der sich ergebenden Polysiliziumstruktur bestimmt den Kondensatorplatten-Oberflächenbereich, der zur ausreichenden Aufnahme einer Ladung erforderlich ist. Es hat sich gezeigt, daß eine Struktur mit einer Größe von ca. 1,0 bis 1,5 μm zur Bildung einer zuverlässigen 64Mb-DRAM-Zelle unter Verwendung von optimiertem Zellendielektrikum ausreicht. Dabei ist die Behälterhöhe bzw. die Höhe der behälterartigen Struktur von solchen Faktoren abhängig, wie Behälterdurchmesser, Dielektrizitätskonstante und Dicke der verwendeten Oxide, wie dies nachfolgend noch deutlicher wird. Danach wird eine Kontaktöffnung 22 in das Oxid 21 geätzt, um dadurch einen Zugang zu der darunterliegenden Topografie zu schaffen, wobei diese Öffnung für DRAM-Kondensator-Zwecke normalerweise einen Diffusionsbereich freilegen würde, der in einem Ausgangssubstrat leitfähig dotiert worden ist. Die Kontaktöffnung 22 ermöglicht nicht nur Zugang zu der darunterliegenden Topografie, sondern schafft auch eine Form für eine anschließend angeordnete

Schicht aus dünnem Polysilizium. Diese Schicht aus dünnem Polysilizium wird nun vorzugsweise durch chemische Abscheidung aus der Dampfphase bzw. Dampfphasenabscheidung in Form einer Schicht aus konformem Polysilizium 23 gebildet, wobei diese Schicht über dem planar ausgebildeten Oxid 21, den in Muster gebrachten Rändern des Oxids 21 sowie auf der freigelegten, darunterliegenden Topografie aufgebracht wird. Das Polysilizium 23 kann entweder an Ort und Stelle dotiert oder zur Schaffung einer gesteigerten Zellenkapazität an Ort und Stelle mit zerklüftetem Polysilizium mit halbkugelförmiger Körnung dotiert aufgebracht werden, wobei es auch möglich ist, das Polysilizium 23 später zu dotieren.

Wie in Fig. 3 zu sehen ist, wird eine dicke Schicht aus Oxid 31 mit einer hohen Ätzrate über dem Polysilizium 23 ausgebildet. Das Oxid 31 ist ausreichend dick, um die mit Polysilizium ausgekleidete Kontaktöffnung 22 vollständig zu füllen.

Wie in Fig. 4 zu sehen ist, wird die Oxidschicht 31 hinab bis zu dem Polysilizium 23 entfernt, und zwar vorzugsweise durch chemisch-mechanisches Polieren, das selektiv auf den ersten frei liegenden oberen Bereichen des Polysiliciums 23 stoppt.

Wie in Fig. 5 zu sehen ist, werden die freiliegenden oberen Bereiche des Polysiliciums 23 entfernt, um einander benachbarte Polysiliciumstrukturen voneinander zu trennen und dadurch einzelne in den Kontaktöffnungen 22 befindliche Behälter 51 zu bilden sowie das darunterliegende Oxid 21 freizulegen. Die Entfernung der Polysiliciumbereiche 23 kann durch Ausführen eines Polysilicium-Ätzvorgangs mit Selektivität gegenüber Oxid erfolgen, wobei es sich um einen zeitlich gesteuerten Naßätzvorgang oder um einen optimierten Polysilicium-Ätzvorgang unter Verwendung von chemisch-mechanischem Polieren handeln kann. Ein ganz wesentlicher Vorteil dieses Verfahrensablaufes besteht bei Verwendung eines Ätzschrittes mit chemisch-mechanischem Poliervorgang darin, daß das Innere des zukünftigen Behälters 51 vor "Schlamm"-Verunreinigung geschützt wird, die bei dem chemisch-mechanischen Poliervorgang auftritt und sich bei Aufnahmebehältern mit einem hohen Verhältnis von Breite zu Höhe (0,5 μm Innendurchmesser zu 1,5 μm Höhe) nur schwer entfernen läßt.

Wie in Fig. 6 gezeigt ist, sind beide Oxide 21 und 31, die unterschiedliche Ätzraten besitzen, nun freigelegt. Zu diesem Zeitpunkt wird ein Oxid-Ätzvorgang derart ausgeführt, daß das Oxid 31 vollständig aus dem Inneren des Behälters 51 entfernt wird, während ein Teil des Oxids 21 außen an der Basis des Behälters 51 verbleibt und dadurch eine Isolierschicht zwischen der darunterliegenden Topografie und nachfolgenden Schichten geschaffen wird. Ein Ätzraten-Verhältnis von 2:1 oder höher (wobei ein Verhältnis von 4:1 bevorzugt wird) zwischen dem Oxid 31 und dem Oxid 22 schafft einen ausreichenden Verfahrensspielraum zur Sicherstellung, daß das gesamte, eine hohe Ätzrate aufweisende Oxid 31 im Inneren des Behälters 51 während eines einzigen Ätzschrittes entfernt wird, während ein Teil des Oxids 22 zur Schaffung einer geeigneten Isolierung gegenüber anschließend ausgebildeten Schichten verbleibt.

Wenn in der in Fig. 7 dargestellten Weise diese Struktur zur Bildung einer Kondensatorspeicherknotenplatte verwendet wird, werden der Behälter 51 und der verbliebene Teil des Oxids 21 mit einem Kondensator-Zellendielektrikum 71 beschichtet. Danach wird schließlich eine zweite konforme Polysiliciumschicht 72 vollflächig

auf das Zellolektikum 71 aufgebracht, wobei die Polysiliziumschicht 72 als gemeinsame Kondensatorzellenplatte für die gesamte Anordnung von Behältern 51 dient. Von diesem Punkt an erfolgt die Fertigstellung des Wafers unter Verwendung herkömmlicher Herstellungsverfahrensschritte.

Fig. 8 zeigt eine Querschnittsansicht einer mit dem erfindungsgemäßen Verfahren gebildeten Struktur, wobei das Verfahren in einen Stapelkondensator-Herstellungsverfahren auf einem Ausgangssubstrat 81 integriert ist. Der Behälter 51 steht mit einem Diffusionsbereich 82 in Verbindung und dient dadurch als behälterartige Speicherknotenplatte. Zugriff zu dem Diffusionsbereich 82 erfolgt durch Wortleitungen 85 (die je durch einen Gate-Isolator 83 getrennt sind), die sich wiederum über den aktiven Kanalbereich zwischen den Diffusionsbereichen 82 erstrecken. Das Polysilizium des Behälters 51 wird auf den selben Leitfähigkeitstyp wie der darunterliegende Diffusionsbereich 82 dotiert, um dadurch einen guten Ohmschen Kontakt zu gewährleisten.

Patentansprüche

1. Verfahren zum Herstellen einer gleichmäßigen und reproduzierbaren leitfähigen Behälter-Struktur (12) auf der bestehenden Topografie eines Ausgangssubstrats, gekennzeichnet durch folgende Schritte:

- a) Bilden einer ersten Ättrate aufweisen, vollflächig aufgetragenen ersten Isolierschicht (21) über der bestehenden Topografie;
- b) Mustergebung und Ätzen einer Öffnung (22) in die erste Isolierschicht (21) in einer derartigen Weise, daß die Öffnung eine Behälterform (22) aufweist;
- c) Bilden einer konformen ersten leitfähigen Schicht (23) oben auf der ersten Isolierschicht (21) und der Behälterform (22) in einer derartigen Weise, daß die Behälterform (22) damit ausgekleidet ist;
- d) Bilden einer zweiten Ättrate aufweisen, vollflächigen zweiten Isolierschicht (31) oben auf der ersten leitfähigen Schicht (23);
- e) Entfernen der zweiten Isolierschicht (31) bis zur Freilegung des oberen Bereichs der ersten leitfähigen Schicht (23);
- f) Entfernen der ersten leitfähigen oberen Schicht (23) bis zur Freilegung der darunterliegenden ersten Isolierschicht (21), um dadurch die erste leitfähige Schicht (23) in einzelne leitfähige Behälter (51) mit einer Innenwandung und einer Außenwandung zu trennen;
- g) Entfernen der ersten und der zweiten Isolierschicht (21, 31) in einer derartigen Weise, daß die zweite Isolierschicht (31) vollständig entfernt und dadurch die gesamte Innenwandung des leitfähigen Behälters (51) freigelegt wird und die erste Isolierschicht (21) zum Teil entfernt wird und dadurch ein oberer Bereich der Außenwandung des leitfähigen Behälters (51) freigelegt wird, wobei die teilweise verbleibende erste Isolierschicht (21) eine Isolierung zwischen der darunterliegenden Substratopografie und nachfolgend ausgebildeten Schichten schafft;
- h) Bilden einer dritten Isolierschicht (71) in erstreckungsgleicher Weise oben auf den freiliegenden Wänden sowie auf dem inneren Bo-

denbereich des Behälters (51) und der teilweise verbliebenen ersten Isolierschicht (21); und
i) Bilden einer zweiten leitfähigen Schicht (72) in erstreckungsgleicher Weise oben auf der dritten Isolierschicht (71).

2. Verfahren zur Herstellung eines behälterartigen DRAM-Speicherkondensators auf einem Siliziumsubstrat (81) mit aktiven Bereichen (82), Wortleitungen (85) und Ziffernleitungen, gekennzeichnet durch folgende Schritte:

- a) Bilden einer ersten Ättrate aufweisen, vollflächigen ersten Isolierschicht (21) über der bestehenden Topografie;
- b) Mustergebung und Ätzen einer Öffnung in die erste Isolierschicht (21) in einer derartigen Weise, daß die Öffnung eine Behälterform (22) bildet;
- c) Bilden einer konformen ersten leitfähigen Schicht (23) oben auf der ersten Isolierschicht (21) und der Behälterform (22) in einer derartigen Weise, daß sie die Behälterform (22) auskleidet;
- d) Bilden einer zweiten Ättrate aufweisen, vollflächigen zweiten Isolierschicht (31) oben auf der ersten leitfähigen Schicht (23);
- e) Entfernen der zweiten Isolierschicht (31) bis zur Freilegung des oberen Bereichs der ersten leitfähigen Schicht (23);
- f) Entfernen der freiliegenden ersten leitfähigen Schicht (23) bis zur Freilegung der darunterliegenden ersten Isolierschicht (21), um dadurch die erste leitfähige Schicht (23) in einzelne behälterartige Speicherknotenelektroden (51) mit einer Innenwandung und einer Außenwandung zu trennen;
- g) Entfernen der ersten und der zweiten Isolierschicht (21, 31) in einer derartigen Weise, daß die zweite Isolierschicht (31) vollständig entfernt und dadurch die gesamte Innenwandung der behälterartigen Speicherknotenelektroden (51) freigelegt wird und die erste Isolierschicht (21) zur Freilegung eines oberen Bereichs der Außenwandung der behälterartigen Speicherknotenelektroden (51) teilweise entfernt wird, wobei die teilweise verbleibende erste Isolierschicht (21) eine Isolierung zwischen der darunterliegenden Substratopografie und nachfolgend ausgebildeten Schichten schafft;
- h) Bilden einer dritten Isolierschicht (71) in erstreckungsgleicher Weise oben auf den freiliegenden Wänden und dem inneren Bodenbereich der behälterartigen Speicherknotenelektroden (51) sowie der teilweise verbleibenden ersten Isolierschicht (21); und
- i) Bilden einer zweiten leitfähigen Schicht (72) in erstreckungsgleicher Weise oben auf der dritten Isolierschicht (71), wobei die zweite leitfähige Schicht (72) eine den mehreren Speicherknotenelektroden (51) gemeinsame Kondensatorelektrode bildet.

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, daß es sich bei der ersten und der zweiten Isolierschicht (21, 31) um Oxide handelt.

4. Verfahren nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß die Ättrate der ersten Isolierschicht (21) niedriger ist als die Ättrate der zweiten Isolierschicht (31).

5. Verfahren nach einem der vorausgehenden Ansprüche, dadurch gekennzeichnet, daß das Verhältnis der Ätzrate der zweiten Isolierschicht (31) zu der Ätzrate der ersten Isolierschicht (21) 2:1 oder mehr beträgt.

5

6. Verfahren nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß das Verhältnis der Ätzrate der zweiten Isolierschicht (31) zu der Ätzrate der ersten Isolierschicht (21) 4:1 beträgt.

7. Verfahren nach einem der vorausgehenden Ansprüche, dadurch gekennzeichnet, daß es sich bei der ersten und der zweiten leitfähigen Schicht (23, 72) um dotiertes Polysilizium handelt.

10

8. Verfahren nach einem der vorausgehenden Ansprüche, dadurch gekennzeichnet, daß es sich bei der ersten und der zweiten leitfähigen Schicht (23, 72) um dotiertes Polysilizium handelt, das durch chemische Dampfphasenabscheidung mit an Ort und Stelle erfolgender Dotierung aufgebracht wird.

15

9. Verfahren nach einem der vorausgehenden Ansprüche, dadurch gekennzeichnet, daß die erste, die zweite und die dritte Isolierschicht (21, 31, 71) durch chemische Dampfphasenabscheidung aufgebracht werden.

20

10. Verfahren nach einem der vorausgehenden Ansprüche, dadurch gekennzeichnet, daß das Entfernen der zweiten Isolierschicht (31) durch chemisch-mechanisches Planarisieren erfolgt.

25

11. Verfahren nach einem der vorausgehenden Ansprüche, dadurch gekennzeichnet, daß die erste Isolierschicht (21) vor der Mustergebung der ersten Isolierschicht (21) sowie vor dem Ätzen einer Öffnung in diese planar ausgebildet wird.

30

12. Verfahren nach einem der vorausgehenden Ansprüche, dadurch gekennzeichnet, daß das Entfernen der frei liegenden ersten leitfähigen oberen Schicht (21) durch chemisch-mechanisches Planarisieren erfolgt.

35

Hierzu 4 Seite(n) Zeichnungen

40

45

50

55

60

65

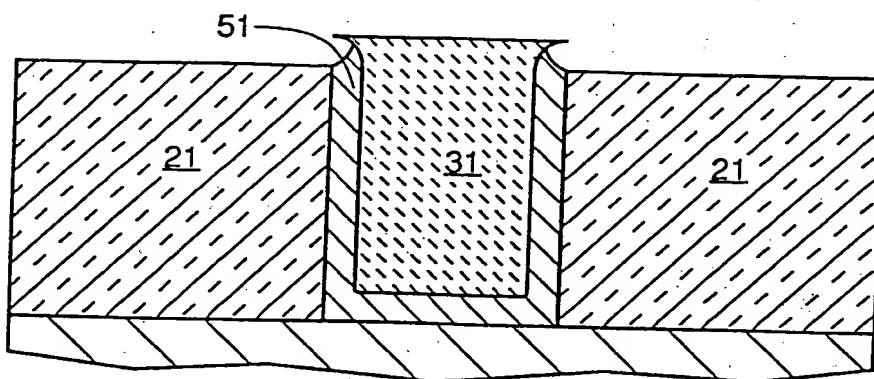


FIG. 5

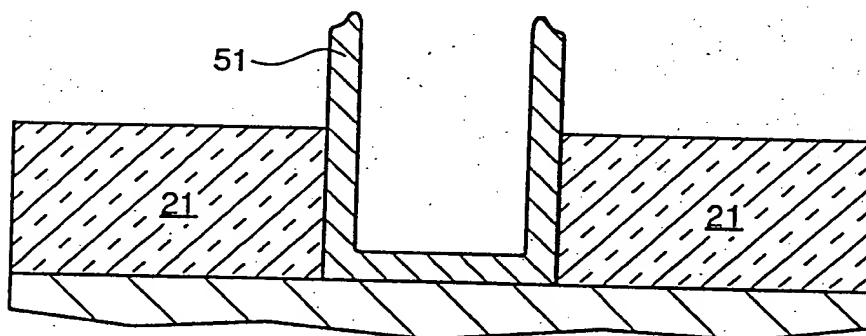


FIG. 6

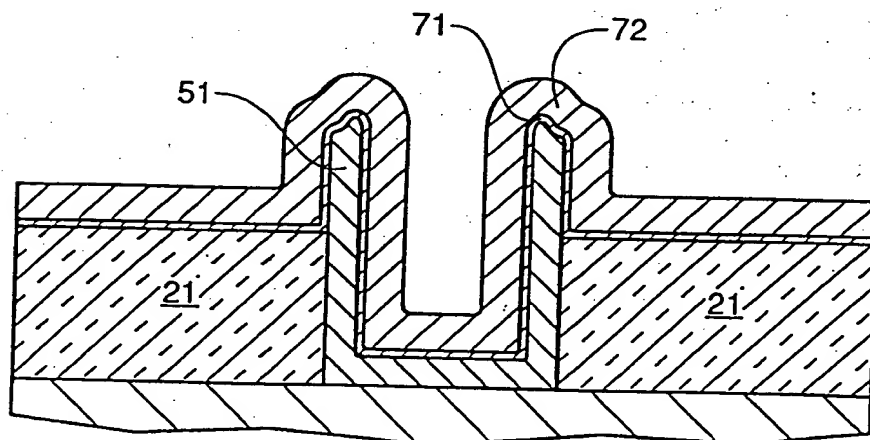


FIG. 7

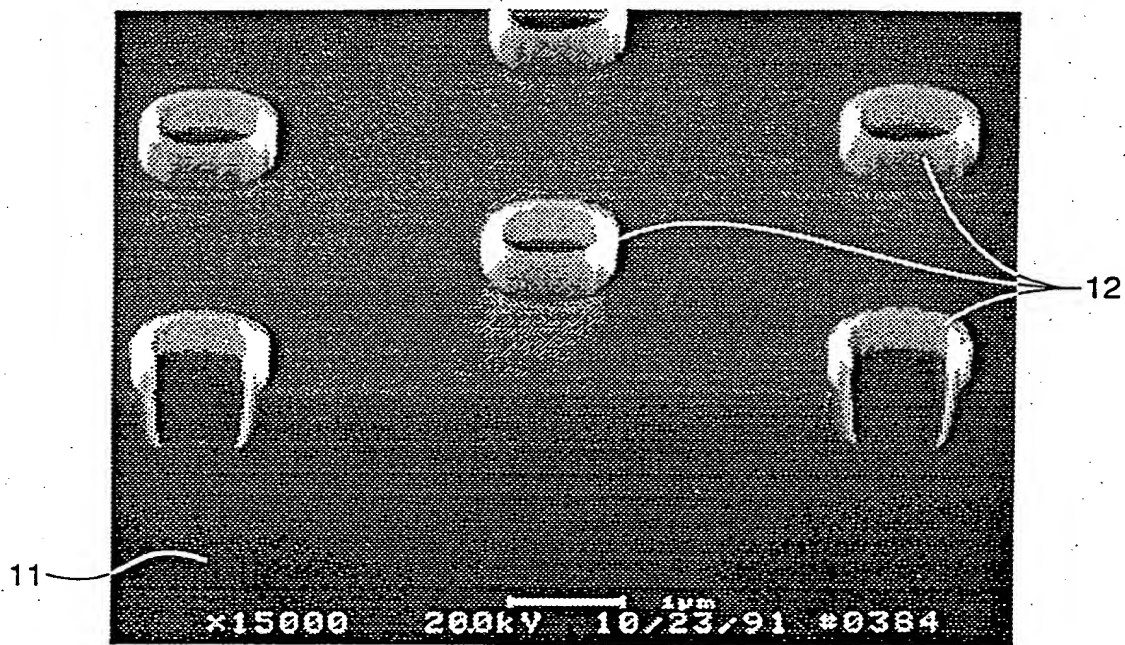


FIG. 1

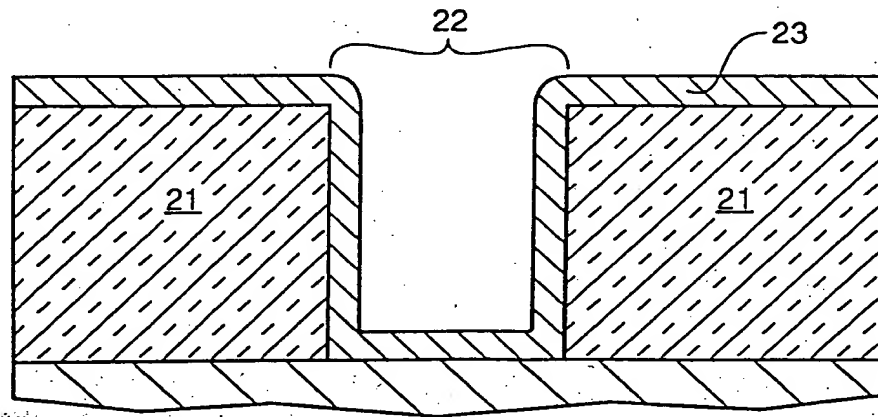


FIG. 2

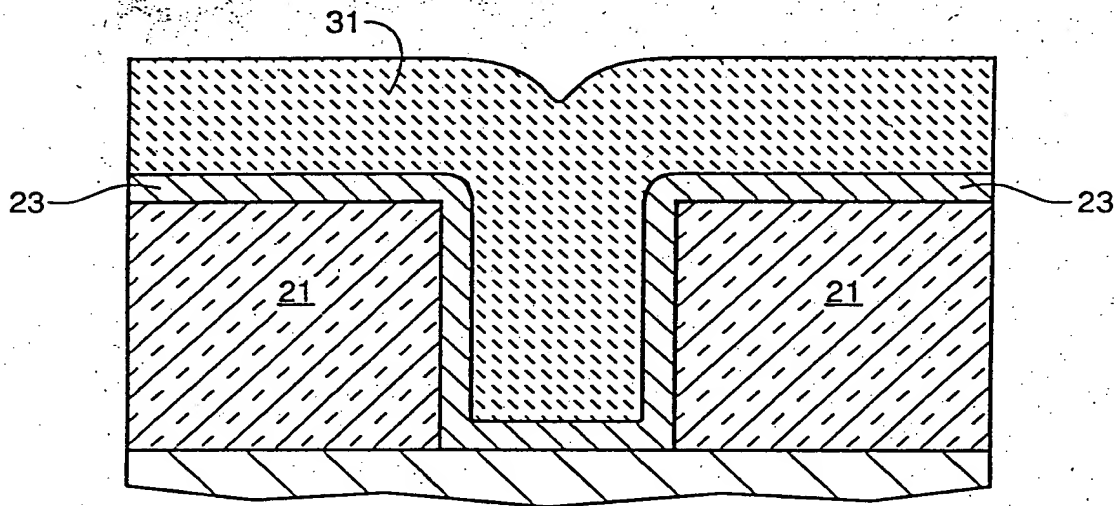


FIG. 3

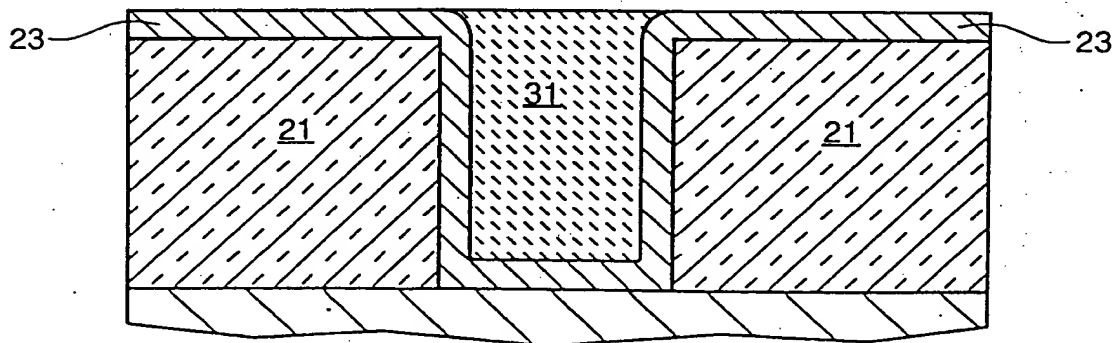


FIG. 4

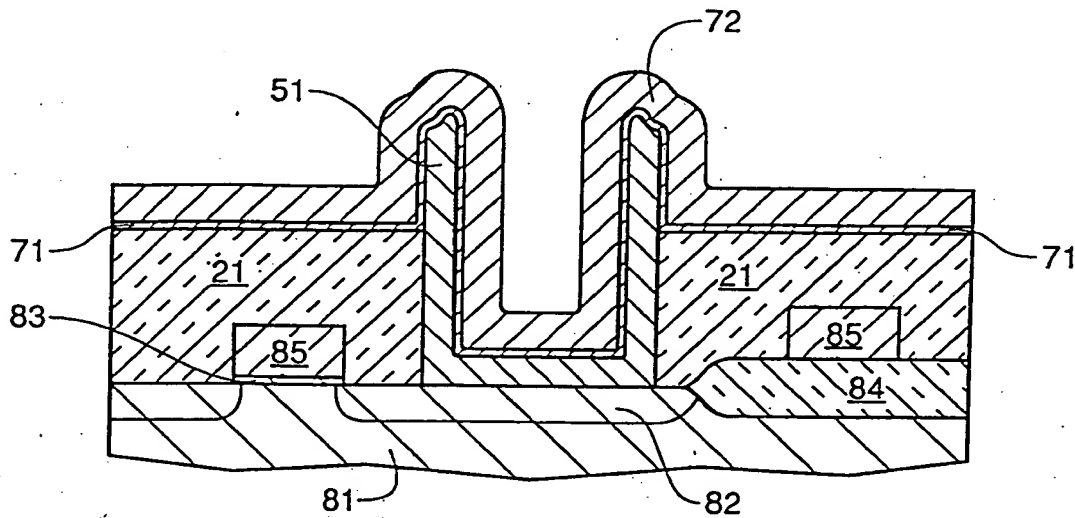


FIG. 8

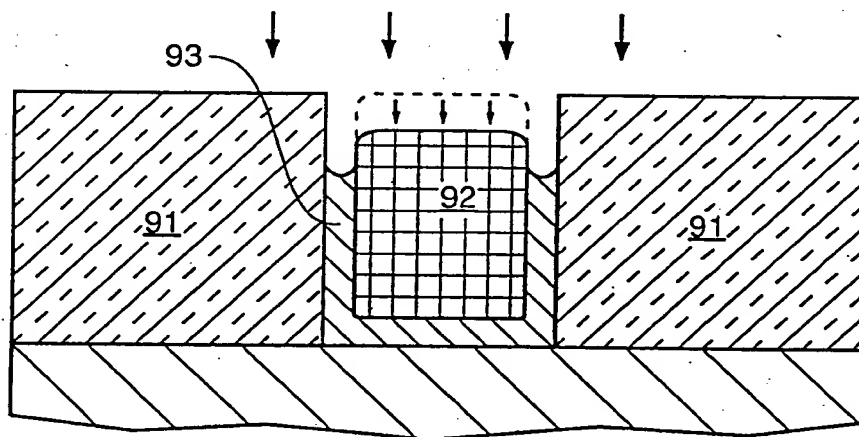


FIG. 9

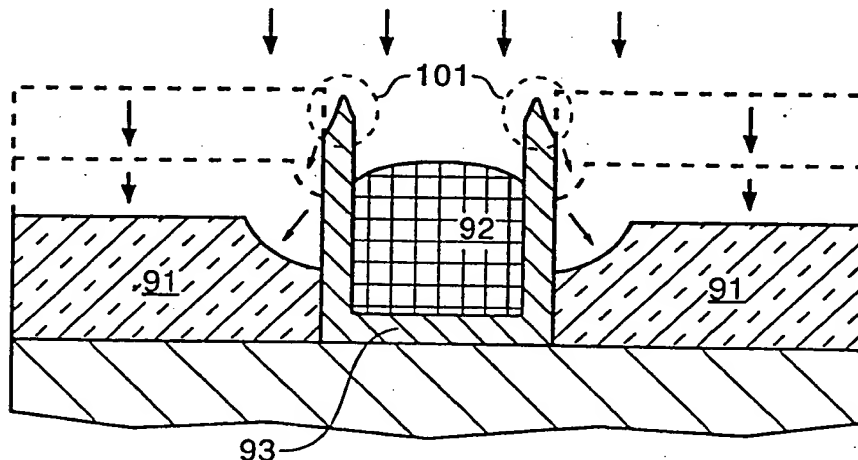


FIG. 10